

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-074529

(43)Date of publication of application : 16.03.1999

(51)Int.CI.

H01L 29/786
H01L 21/336
G02F 1/13
G02F 1/136
H01L 21/20

(21)Application number : 09-230732

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

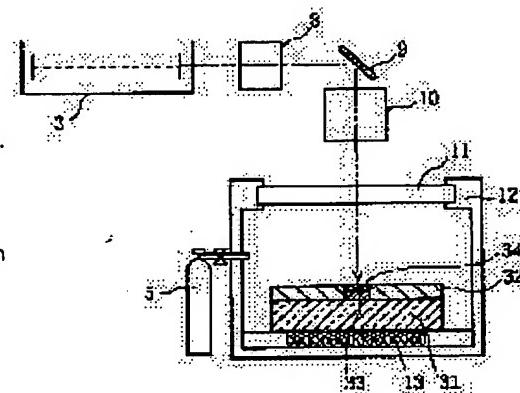
(22)Date of filing : 27.08.1997

(72)Inventor : NISHITANI TERU
TERAUCHI MASAHIRO
YAMAMOTO MUTSUMI
TSUTSU HIROSHI

(54) MANUFACTURING SEMICONDUCTOR ELEMENT AND LIQUID CRYSTAL DISPLAY**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor element having a large field effect mobility, and a good threshold voltage characteristic and sub-threshold characteristic because of a good crystallinity of a polycrystalline semiconductor film and few fault of intercrystalline surface.

SOLUTION: A polycrystalline silicon film 33 is formed by irradiating laser beam on the surface of amorphous silicon film 32 formed on a glass substrate 31 under oxygen atmosphere, and a silicon oxide film 34 is formed on the surface of the polycrystalline silicon film 33. A dangling bond generated in the intercrystalline surface of the polycrystalline silicon film 33 is decreased, a good crystallinity with few fault of intercrystalline surface resulted from an impurity mixture can be obtained, a semiconductor film oxide with a good film characteristic can be obtained as the semiconductor film oxide is formed in high temperature, and the semiconductor with good TFT characteristic can be obtained.

**LEGAL STATUS**

[Date of request for examination] 28.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3242867

[Date of registration] 19.10.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74529

(43) 公開日 平成11年(1999)3月16日

(51) Int.Cl'

H 01 L 29/786
21/336
G 02 P 1/13
1/136
H 01 L 21/20

歳別記号

1 0 1
5 0 0

P I

H 01 L 29/78
G 02 F 1/13
H 01 L 21/20
29/78

6 2 7 G
1 0 1
5 0 0
8 1 2 B

審査請求 未認求 請求項の数11 O.L (全 13 頁)

(21) 出願番号

特願平9-230732

(22) 出願日

平成9年(1997)8月27日

(71) 出願人

000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者

西谷 輝

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者

寺内 正治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者

山本 雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人

弁理士 大前 要

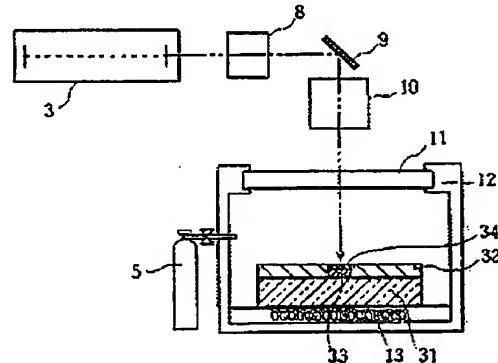
最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法、および液晶表示装置の製造方法

(57) 【要約】

【課題】 多結晶半導体膜の結晶性が良好で、界面の欠陥も少なく、したがって、電界効果移動度が大きく、さらに、良好なしきい値電圧特性やサブスレッショルド特性を有する半導体素子の製造方法を提供する。

【解決手段】 酸素雰囲気下において、ガラス基板31上に成膜された非晶質シリコン膜32の表面にレーザ光を照射することにより多結晶シリコン膜33を形成するとともに、上記多結晶シリコン膜33の表面部分に酸化シリコン膜34を形成する。これにより、多結晶シリコン膜33の界面に生じるダングリングボンドが減少するとともに、不純物が混入することがないので、界面欠陥の少ない良好な結晶性が得られ、また、半導体酸化膜は高温で形成されるので、良好な膜質の半導体酸化膜が得られる。したがって、TFT特性が良好な半導体素子が得られる。



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-74529

(43)公開日 平成11年(1999)3月16日

(51)Int.Cl.⁶
H 01 L 29/786
21/336
G 02 F 1/13 101
1/136 500
H 01 L 21/20

識別記号

F I
H 01 L 29/78 627 G
G 02 F 1/13 101
1/136 500
H 01 L 21/20
29/78 612 B

審査請求 未請求 請求項の数11 O.L (全 13 頁)

(21)出願番号 特願平9-230732

(22)出願日 平成9年(1997)8月27日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 西谷 煉

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 寺内 正治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 山本 駿

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 大前 要

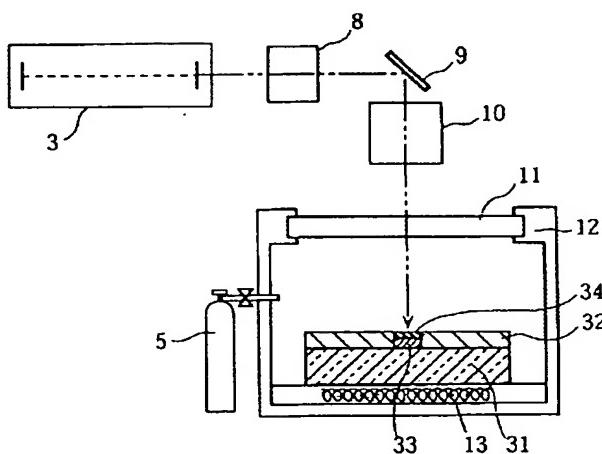
最終頁に続く

(54)【発明の名称】 半導体素子の製造方法、および液晶表示装置の製造方法

(57)【要約】

【課題】 多結晶半導体膜の結晶性が良好で、界面の欠陥も少なく、したがって、電界効果移動度が大きく、さらに、良好なしきい値電圧特性やサブスレッショルド特性を有する半導体素子の製造方法を提供する。

【解決手段】 酸素雰囲気下において、ガラス基板31上に成膜された非晶質シリコン膜32の表面にレーザ光を照射することにより多結晶シリコン膜33を形成するとともに、上記多結晶シリコン膜33の表面部分に酸化シリコン膜34を形成する。これにより、多結晶シリコン膜33の界面に生じるダングリングボンドが減少するとともに、不純物が混入することがないので、界面欠陥の少ない良好な結晶性が得られ、また、半導体酸化膜は高温で形成されるので、良好な膜質の半導体酸化膜が得られ、したがって、TFT特性が良好な半導体素子が得られる。



【特許請求の範囲】

【請求項1】 基板上に形成された非晶質半導体膜にエネルギービームを照射することにより多結晶半導体膜を形成する工程を有する半導体素子の製造方法において、上記多結晶半導体膜を形成する工程を酸素を含む雰囲気下で行うことを特徴とする半導体素子の製造方法。

【請求項2】 基板上に形成された非晶質半導体膜にエネルギービームを照射することにより多結晶半導体膜を形成する工程を有する半導体素子の製造方法において、上記多結晶半導体膜を形成する工程をオゾンを含む雰囲気下で行うことを特徴とする半導体素子の製造方法。

【請求項3】 基板上に形成された非晶質半導体膜にエネルギービームを照射することにより多結晶半導体膜を形成する工程を有する半導体素子の製造方法において、上記多結晶半導体膜を形成する工程を水蒸気、または分散された水滴を含む雰囲気下で行うことを特徴とする半導体素子の製造方法。

【請求項4】 基板上に形成された非晶質半導体膜にエネルギービームを照射することにより多結晶半導体膜を形成する工程を有する半導体素子の製造方法において、上記非晶質半導体膜の表面に、水滴、または水膜を付着させた状態で、上記多結晶半導体膜を形成する工程を行うことを特徴とする半導体素子の製造方法。

【請求項5】 請求項1ないし請求項4の何れかの半導体素子の製造方法であって、上記多結晶半導体膜を形成する工程を加圧された雰囲気下で行うことを特徴とする半導体素子の製造方法。

【請求項6】 基板上に形成された非晶質半導体膜にエネルギービームを照射することにより多結晶半導体膜を形成する工程を有する半導体素子の製造方法において、上記多結晶半導体膜を形成する工程を上記非晶質半導体膜を水に浸漬した状態で行うことを特徴とする半導体素子の製造方法。

【請求項7】 基板上に形成された非晶質半導体膜にエネルギービームを照射することにより多結晶半導体膜を形成する工程を有する半導体素子の製造方法において、上記多結晶半導体膜を形成する工程を上記非晶質半導体膜の表面に氷層を付着させた状態で行うことを特徴とする半導体素子の製造方法。

【請求項8】 請求項1ないし請求項7の何れかの半導体素子の製造方法であって、さらに、上記多結晶半導体膜を形成する工程で多結晶半導体膜の表面に形成された半導体酸化膜の上に、さらに半導体酸化膜の追加成膜を行う工程を有することを特徴とする半導体素子の製造方法。

【請求項9】 請求項1ないし請求項7の何れかの半導体素子の製造方法であって、さらに、上記多結晶半導体膜を形成する工程で多結晶半導体膜の表面に形成された半導体酸化膜を食刻する工程を有することを特徴とする半導体素子の製造方法。

【請求項10】 基板上に、画素電極と、上記画素電極に接続されたスイッチング素子と、上記スイッチング素子に接続された走査信号線、および画像信号線と、上記走査信号線、および画像信号線を介して、上記スイッチング素子を駆動する駆動回路とを備えた液晶表示装置の製造方法において、

請求項1ないし請求項9の何れかの半導体素子の製造方法により、上記基板上に半導体素子を形成する工程と、配線パターンを形成することにより、上記半導体素子を結線して上記駆動回路を形成するとともに、上記駆動回路に接続された上記走査信号線、および画像信号線を形成する工程とを有することを特徴とする液晶表示装置の製造方法。

【請求項11】 請求項10の液晶表示装置の製造方法であって、請求項1ないし請求項9の何れかの半導体素子の製造方法により、上記スイッチング素子を形成することを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置や半導体メモリ等において、スイッチング素子などとして用いられる半導体素子の製造方法、およびその半導体素子を用いた液晶表示装置の製造方法に関するものである。

【0002】

【従来の技術】 半導体素子としての薄膜トランジスター (Thin Film Transistor: 以下「TFT」と称する。) を用いたアクティブラチタリクス型の液晶表示装置 (Liquid Crystal Display: 以下「LCD」と称する。) は、高画質化に有利なため、近年、コンピュータの表示装置などに多く用いられている。

【0003】 この種のLCDは、画素電極と画素電極用のTFTとから成る画素ユニットが形成されたガラス基板と、対向して設けられた透明対向電極との間に液晶が封入されて構成されている。上記画素ユニットは、より詳しくは、TFTのドレイン端子に画素電極が接続されて構成され、例えば一辺が数百μm程度の方形に形成されたものが、ガラス基板上に数十万個配列されている。

【0004】 また、ガラス基板における画素ユニットが配列された領域（表示領域）の周辺部には、走査信号を出力するゲート駆動回路、および画像信号を出力するソース駆動回路が設けられ、それぞれ縦横の表示画素数に応じた本数（例えば400～1920本程度）の走査信号線、または画像信号線を介して、各TFTのゲート端子、またはソース端子に接続されている。

【0005】 ここで、上記TFTとしては、水素化処理の施された非晶質（アモルファス）シリコン（以下「a-Si:H」と称する。）膜によって形成されたものが多く用いられている。具体的には、例えば、ガラス基板上にプラズマCVD（Chemical Vapor

Deposition) 法によって a-Si:H 膜を成膜した後、プラズマCVD法等による酸化シリコン膜(絶縁膜)の形成や、スパッタリングによるゲート電極の形成、イオン注入、およびフォトリソグラフィによるバーニング等を行うことによって、TFTが形成されている。

【0006】一方、上記ゲート駆動回路、およびソース駆動回路は、単結晶シリコンなどによって構成される駆動回路がパッケージ化されたIC(Integrate dCircuit)チップを実装することにより構成されている。なぜならば、これらの駆動回路は、高速なスイッチング動作等をさせる必要があるのに対し、前記のように a-Si:H 膜を用いてガラス基板上に形成された TFT は、電界効果移動度が低く、動作速度が遅いために適用することができないからである。

【0007】このため、ICチップを実装する際に、前記のように多数の走査信号線および画像信号線に ICチップを対応させて位置合わせし、配線を接続するといった工数の多くかかる工程を必要とし、製造コスト増大の要因となっている。しかも、この問題点は、表示画面の大型化や高精細度化、カラー表示の高品質化に伴って一層大きなものとなる。

【0008】そこで、上記 a-Si:H 膜を用いた TFT よりも高速なスイッチング動作等が可能な半導体素子を、この TFT と同様な工程によってガラス基板に形成することができれば、ICチップの実装などを行うことなく、TFTや走査信号線等の形成と同時に、駆動回路の形成および配線を行うことができ、製造コストの低減を図ることができる。

【0009】上記のような高速なスイッチング動作等が可能な半導体素子としては、上記 a-Si:H 膜よりも電界効果移動度(mobility)の大きい多結晶シリコン(以下「p-Si」と称す。)膜を用いた TFT が考えられる。

【0010】この p-Si 膜を形成する方法としては、減圧CVD法を用いる方法と、レーザアニールを用いる方法とが知られている。

【0011】前者は、減圧CVD法によってガラス基板を 600°C 程度以上に加熱して p-Si 膜の成膜処理を行うものである。このために、ガラス基板として、高温に耐え得る高価格なものを用いる必要があり、必ずしも製造コストを低減することはできない。

【0012】一方、後者は、例えば以下のようにして p-Si 膜を形成するものである。すなわち、まずプラズマCVD法により、約 300°C の雰囲気下で、ガラス基板上に大面積の a-Si 膜を形成する。次に、真空中または窒素雰囲気下で、上記 a-Si 膜に対して例えば KrF レーザにより、波長が 308 nm でエネルギー密度が 300 mJ/cm² のレーザ光を 23 nsec の時間で照射し、局部的に表面温度が例えば 1200°C 程度とな

るように加熱して、レーザアニールを行う。これにより、a-Si 膜が多結晶化して p-Si 膜が形成される。

【0013】この方法によれば、a-Si 膜の形成時の加熱温度は低く、また、a-Si 膜を多結晶化させて p-Si 膜を形成するためのレーザアニールによる加熱処理は瞬間的に行われるため、ガラス基板にはあまり熱が伝わらない。それゆえ、ガラス基板には高い耐熱性が要求されず、安価な材質のものを使用することができる。

【0014】なお、このような p-Si 膜を用いた TFT は、前記 a-Si 膜を用いる場合と同様に、上記のようにして p-Si 膜を形成した後に、プラズマCVD法等による酸化シリコン膜(絶縁膜)の形成や、スパッタリングによるゲート電極の形成、イオン注入、およびフォトリソグラフィとエッチングによるバーニング等を行うことによって形成される。

【0015】

【発明が解決しようとする課題】しかしながら、上記のようなレーザアニールによって形成される p-Si 膜を用いた TFT であっても、電界効果移動度を大幅に増大させることは困難であり、したがって、ゲート駆動回路やソース駆動回路などを構成するために十分なスイッチング速度等を得ることが困難であるという課題を有している。

【0016】すなわち、具体的には、上記のような p-Si 膜の電界効果移動度は、30~600 cm²/V·s 程度であり、また、半導体素子ごとのばらつきが大きいために、LCD のようにガラス基板上に多数の TFT が形成される場合には、そのうちの最低レベルの電界効果移動度、すなわち基板全体として保証し得る電界効果移動度は、数 10 cm²/V·s 程度に留まり、ゲート駆動回路等に適用することができない。

【0017】このように電界効果移動度が小さいのは、p-Si 膜における、酸化シリコン膜との界面の欠陥が影響していると考えられる。すなわち、p-Si 膜の形成時に、界面にダンギングボンド(シリコンの未結合手)が生じたりしがちであるとともに、p-Si 膜の形成から酸化シリコン膜の形成に至るまでの間に、p-Si 膜の表面への不純物の混入により、やはりダンギングボンドが生じたり p-Si 膜の結晶性が損なわれたりしがちである。また、酸化シリコン膜をプラズマプロセス(CVD 法)により成膜する場合には、そのプラズマによるダメージによっても、p-Si 膜の表面にダンギングボンドが生じたりする。

【0018】さらに、特に酸化シリコン膜を比較的低温で形成する場合には、しきい値電圧特性やサブスレッシュホールド(ゲート電圧の変化に対するドレイン電流の変化の割合)特性などの TFT 特性が低下しがちであるという課題も有している。具体的には、しきい値電圧が高く、また、サブスレッシュホールドが低くなりがちである。

【0019】このようなTFT特性の低下は、酸化シリコン膜のバルク特性（膜質）が影響していると考えられる。すなわち、低温で成膜した酸化シリコン膜は、ほとんどの場合、熱酸化膜に比べて、Si-O-Si結合の結合角が小さく、弱い結合が多いため、これらの結合が切断されやすく、安定度が低い。

【0020】なお、これらの課題は、p-Si膜を用いた半導体素子によって、高密度スタティックRAM等のメモリLSIや、イメージセンサなどを構成する場合でも同様である。

【0021】本発明は、上記の点に鑑み、多結晶半導体膜の結晶性が良好で、界面の欠陥も少なく、したがって、電界効果移動度が大きく、動作速度が高速で、さらに、良好なしきい値電圧特性やサブスレッショルド特性を有する半導体素子の製造方法の提供を目的としている。

【0022】また、画素電極用のTFTや走査信号線等の形成と同時に、駆動回路の形成および配線を行うことができ、製造コストを低減できるとともに、表示画面の大型化や高精細度化も容易に図ることができる液晶表示装置の製造方法の提供を目的としている。

【0023】

【課題を解決するための手段】上記の課題を解決するため、請求項1ないし請求項4の発明は、基板上に形成された非晶質半導体膜にエネルギーを照射することにより多結晶半導体膜を形成する工程を有する半導体素子の製造方法において、上記多結晶半導体膜を形成する工程を酸素、オゾン、水蒸気、もしくは分散された水滴を含む雰囲気下で、または非晶質半導体膜の表面に、水滴、または水膜を付着させた状態で行うことを特徴としている。

【0024】これにより、非晶質半導体膜が結晶化すると同時に半導体酸化膜が形成されるため、多結晶半導体膜の界面に生じるダンギングボンドが減少するとともに、不純物が混入することができないので、界面欠陥の少ない良好な結晶性が得られる。また、プラズマプロセスによって酸化シリコン膜を成膜する場合のように、プラズマによるダメージを受けることがないので、やはり、多結晶半導体膜の表面にダンギングボンドが生じることは抑制される。したがって、電界効果移動度が大きく、高速なスイッチング動作等が可能な半導体素子を形成することができる。

【0025】また、半導体酸化膜は高温で形成されるので、良好な膜質の半導体酸化膜が得られ、したがって、しきい値電圧特性やサブスレッショルド特性などのTFT特性が良好な半導体素子が得られる。

【0026】また、請求項9の発明は、請求項1ないし請求項4の何れかの半導体素子の製造方法であって、上記多結晶半導体膜を形成する工程を加圧された雰囲気下で行うことを特徴としている。

【0027】これにより、非晶質半導体膜の結晶化と同時に半導体酸化膜が効率的に形成され、一層、電界効果移動度が大きく、また、TFT特性が良好な半導体素子が得られる。

【0028】また、請求項6、および請求項7の発明は、基板上に形成された非晶質半導体膜にエネルギーを照射することにより多結晶半導体膜を形成する工程を有する半導体素子の製造方法において、上記多結晶半導体膜を形成する工程を上記非晶質半導体膜を水に浸漬した状態、または上記非晶質半導体膜の表面に氷層を付着させた状態で行うことを特徴としている。

【0029】これにより、やはり、非晶質半導体膜の結晶化と同時に半導体酸化膜が効率的に形成され、一層、電界効果移動度が大きく、また、TFT特性が良好な半導体素子が得られる。

【0030】請求項8、および請求項9の発明は、請求項1ないし請求項7の何れかの半導体素子の製造方法であって、さらに上記多結晶半導体膜を形成する工程で多結晶半導体膜の表面に形成された半導体酸化膜の上に、さらに半導体酸化膜の追加成膜を行う工程、または上記多結晶半導体膜を形成する工程で多結晶半導体膜の表面に形成された半導体酸化膜を食刻する工程を有することを特徴としている。

【0031】これにより、所望の膜厚の半導体酸化膜を有する半導体素子を形成することができるとともに、半導体酸化膜の追加成膜や食刻によって多結晶半導体膜の界面に影響を与えることはなく、また、半導体酸化膜の膜質は維持されるので、電界効果移動度が大きく、TFT特性が良好な半導体素子を得ることができる。

【0032】請求項10の発明は、基板上に、画素電極と、上記画素電極に接続されたスイッチング素子と、上記スイッチング素子に接続された走査信号線、および画像信号線と、上記走査信号線、および画像信号線を介して、上記スイッチング素子を駆動する駆動回路とを備えた液晶表示装置の製造方法において、請求項1ないし請求項9の何れかの半導体素子の製造方法により、上記基板上に半導体素子を形成する工程と、配線パターンを形成することにより、上記半導体素子を結線して上記駆動回路を形成するとともに、上記駆動回路に接続される上記走査信号線、および画像信号線を形成する工程とを有することを特徴としている。

【0033】これにより、走査信号線等の形成と同時に、駆動回路の形成および配線を行うことができ、ICチップの実装工程や配線の接続工程などを必要しないので、製造工程を簡略化して製造コストを低減できるとともに、表示画面の大型化や高精細度化も容易に図ることができる。

【0034】請求項11の発明は、請求項10の液晶表示装置の製造方法であって、請求項1ないし請求項9の何れかの半導体素子の製造方法により、上記スイッチ

グ素子を形成することを特徴としている。

【0035】これにより、駆動回路の形成と同時に画素電極用のスイッチング素子も形成されるので、一層製造工程を簡略化して製造コストを低減することができる。

[0036]

【発明の実施の形態】以下、本発明の実施の形態について詳述する。

【0037】まず、以下に説明する各実施の形態の製造方法により製造される半導体素子である TFT の構造の例を説明する。

【0038】この TFT は、図 1 に示すように、光透過性を有する透明基板としてのガラス基板 31 上に、多結晶シリコン膜 33、酸化シリコン膜 (SiO_x) 34、それぞれ例えればアルミニウム (Al) から成るゲート電極 35 とソース電極 36 とドレイン電極 37 との 3 つの電極、および層間絶縁膜 38 が設けられて構成されている。

【0039】上記多結晶シリコン膜33は、後述するように、非晶質シリコン膜32の結晶化により形成されたもので、リン、またはボロン等の不純物イオンのドーピングにより、チャネル領域33aと、チャネル領域33aを挟むソース領域33bおよびドレイン領域33cが形成されている。

【0040】また、上記ソース電極36とドレイン電極37とは、酸化シリコン膜34および層間絶縁膜38に形成されたコンタクトホール39・39を介して、ソース領域33b、またはドレイン領域33cに接続されるとともに、これらのソース電極36とドレイン電極37と、およびゲート電極35は、図示しない断面において所定の配線パターンに接続されている。

【0041】(実施の形態1) 上記のようなTFTの製造方法についての本発明の実施の形態1を説明する。

【0042】(1) まず、図2に示すように、光透過性を有する基板としてのガラス基板31上に、減圧CVD法によって、例えば膜厚が85nmの非晶質シリコン膜32を成膜する。より具体的には、例えば反応ガスとしてのモノシランガス(SiH₄)またはジシランガス(Si₂H₆)を用い、圧力を数Torrにして、ガラス基板31を350°C～390°Cに加熱することにより、非晶質シリコン膜32を成膜する。なお、この非晶質シリコン膜32の成膜にあたっては、減圧CVD法に代えて、後述する実施の形態2と同様のプラズマCVD法を用いてもよい。また、上記非晶質シリコン膜32の膜厚は、85nmに限らず、種々の設定が可能である。

【0043】(2) 図3に示すように、石英板から成る窓11が設けられたアルミニウム製の気密な円筒状のチャンバ12の中に、上記非晶質シリコン膜32が形成されたガラス基板31を設置し、ヒータ13により400°Cに加熱するとともに、酸素ボンベうから酸素を導入して圧力を1気圧に保つ。

【0044】この状態で、エキシマレーザ（NeC1）
3により、減衰器8、ミラー9、およびホモジナイザー
10を介して、非晶質シリコン膜32にレーザ光を照射
し、レーザアニールを行う。より具体的には、例えば一
辺が数ミリの角形のビーム断面形状を有する30msの
レーザ光のパルスを、非晶質シリコン膜32上を走査し
ながら、10パルスずつ、270mJ/cm²、のパワ
ー密度（単位面積当たりの照射エネルギー）で照射す
る。

【0045】上記レーザ光の照射によって、非晶質シリコン膜32は結晶化して多結晶シリコン膜33に変化する。また、このレーザ光の照射を上記のように酸素雰囲気中で行うことにより、雰囲気中の酸素が多結晶シリコン膜33の表面付近に効率的に導入され、膜厚が30nmの酸化シリコン膜(SiO_x)34が形成される。

【0046】なお、レーザ光のパワー密度は、上記に限らず、非晶質シリコン膜③を結晶化させるために十分なパワー密度であればよく、例えば200～350mJ

cm^2 、好ましくは $230\sim300\text{mJ/cm}^2$ などに設定すればよい。一方、照射するレーザ光のパルスの幅、および回数も、上記に限らず、例えばより強い強度のレーザ光を1パルスだけ照射するようにしてもよい。また、上記照射に先立って、上記パワー密度よりも小さなパワー密度のパルスを1パルスあるいは複数パルス照射するようにしたりしてもよい。ただし、ガラス基板3-1に伝わる熱量によってガラス基板3-1が例えば 600°C 程度以上にならないように設定することによって、ガラス基板3-1として比較的耐熱性が低い安価なもの用いることができる。

【0047】また、レーザ光のビーム断面形状は、上記のように一辺が数ミリの角形に限らず、数ミリ・100ミリ程度の帯状などでもよい。

【0048】さらに、照射面積の数°から数十°ずつ照射位置をずらしながら照射するようにして、基板全体に、より一様な多結晶シリコン膜③が形成されるようにしてもよい。

【0049】(3) さらに、例えば常圧CVD法を用いて、70 nmの酸化シリコン膜を追加成膜し、酸化シリコン膜3-4の合計の膜厚をゲート絶縁膜として必要な厚さ、例えば100 nmにする。

【0050】すなわち、前記非晶質シリコン膜3-2の結晶化の際に形成される酸化シリコン膜3-4の膜厚は、結晶化のために必要なレーザ光のパワー密度等によって定まるため、この膜厚が所望の膜厚よりも薄い場合には、上記のように酸化シリコン膜を追加成膜すればよい。なお、逆に非晶質シリコン膜3-2の結晶化の際に形成される酸化シリコン膜3-4の膜厚で不足がなければ、追加成膜の必要はなく、一方、所望の膜厚よりも厚い場合には、エッチングにより薄くするなどしてもよい。また、非晶質シリコン膜3-2の結晶化の際に形成された酸化シ

リコン膜34をエッティング等によって一旦除去した後に、あらためて所望の膜厚の酸化シリコン膜を成膜した場合でも、上記非晶質シリコン膜32の結晶化の際に生じる界面欠陥（ダングリングボンド等）は低減されるので、電界効果移動度の向上等の効果は得られる。

【0051】以下、従来のTFTと同様に、以下の工程を行う。

【0052】(4) アルミニウム(A1)膜をスパッタリングし、エッティングにより所定の形状にバーニングして、ゲート電極39を形成する。

【0053】(5) ゲート電極39をマスクとして、多結晶シリコン膜33に例えればイオンドーピング法にて、リン、またはボロンなどの不純物をイオン注入し、多結晶シリコン膜33に、チャネル領域33a、ソース領域33b、およびドレイン領域33cを形成する。

【0054】(6) 酸化シリコンから成る層間絶縁膜38を常圧CVD法にて成膜し、ゲート電極39を覆う。

【0055】(7) エッティングにより、層間絶縁膜38および酸化シリコン膜34に、多結晶シリコン膜33のソース領域33b、またはドレイン領域33cに達するコントクトホール39・39を開口する。

【0056】(8) チタン(Ti)膜およびアルミニウム(A1)膜をスパッタリングし、エッティングにより所定の形状にバーニングして、ソース電極36、およびドレイン電極37を形成する。

【0057】このようにして形成されたTFT、および真空中または窒素雰囲気下でp-Siを形成した従来のTFTについてのゲート電圧(Vg)ードレイン電流(I_D)特性を図4に示す。

【0058】同図に示すように、しきい値電圧(ドレイン電流が10⁻⁷(A)となるときのゲート電圧)は、5.0Vから4.1Vに減少するとともに、ゲート電圧の増加に応じたドレイン電流の立ち上がりが急になり、サブレッショルド特性が改善された。

【0059】また、電界効果移動度、および多結晶シリコン膜33の欠陥密度を確認したところ、電界効果移動度は、5.0cm²V⁻¹Sから9.0cm²V⁻¹Sに増大し、多結晶シリコン膜33の界面、および内部の合計の欠陥密度は、1.3×10¹⁴cm⁻²eV⁻¹から1.2×10¹⁴cm⁻²eV⁻¹に減少していた。

【0060】すなわち、酸素雰囲気中でレーザ光を照射し、非晶質シリコン膜32を結晶化させて多結晶シリコン膜33を形成するとともに、同時に、酸化シリコン膜34を形成することにより、多結晶シリコン膜33における酸化シリコン膜34との界面の欠陥が低減されるとともに、酸化シリコン膜34の膜質も改善されたと考えられる。

【0061】(実施の形態2) 本発明の実施の形態2に係るTFTの製造方法について説明する。

【0062】(1) ガラス基板31上に、プラズマCVD法によって、反応ガスとしてモノシリランガスと水素ガスとを用い、反応温度が180°C～300°C、圧力が0.8Torrの条件下で、実施の形態1と同様の膜厚が8.5nmの非晶質シリコン膜32を成膜する。なお、プラズマCVD法に代えて、前記実施の形態1と同様の減圧CVD法を用いてもよい。

【0063】(2) ガラス基板31を400～500°Cで30分以上加熱し、脱水素処理を行う。すなわち、上記のようにプラズマCVD法によって非晶質シリコン膜32を形成する場合には、非晶質シリコン膜32中に水素が取り込まれて、a-Si:H膜(水素化非晶質シリコン膜)が成膜されることになり、以下のレーザ光の照射時に、水素の急激な放出に伴う膜の損傷が生じるので、あらかじめ、非晶質シリコン膜32中の水素を放出させる。

【0064】(3) 前記実施の形態1と同様に、非晶質シリコン膜32にレーザ光を照射して、レーザアニールを行う。ただし、実施の形態1とは異なり、図4に示すように、チャンバ12にオゾンポンベ17からオゾンを導入し、オゾン濃度を100%、圧力を1気圧に保った状態でレーザ光の照射を行う。

【0065】このレーザ光の照射によって、実施の形態1と同様に、非晶質シリコン膜32が結晶化して多結晶シリコン膜33に変化する。また、このレーザ光の照射を上記のようにオゾン雰囲気中で行うことにより、雰囲気中の酸素が多結晶シリコン膜33の表面付近に効率的に導入され、酸化シリコン膜(SiO₂)₆が形成される。

【0066】(4) 以下、実施の形態1の(3)～(8)と同様に、酸化シリコン膜の追加成膜等を行い、TFTを形成する。

【0067】このようにして形成されたTFT、および真空中または窒素雰囲気下でp-Siを形成した従来のTFTについてのゲート電圧(Vg)ードレイン電流(I_D)特性を図6に示す。

【0068】同図に示すように、しきい値電圧(ドレイン電流が10⁻⁷(A)となるときのゲート電圧)は、5.0Vから2.9Vに減少するとともに、ゲート電圧の増加に応じたドレイン電流の立ち上がりは急になり、サブレッショルド特性が改善された。

【0069】また、電界効果移動度、および多結晶シリコン膜33の欠陥密度を確認したところ、電界効果移動度は、5.0cm²V⁻¹Sから18.0cm²V⁻¹Sに増大し、多結晶シリコン膜33の界面、および内部の合計の欠陥密度は、1.3×10¹⁴cm⁻²eV⁻¹から1.1×10¹⁴cm⁻²eV⁻¹に減少していた。

【0070】なお、レーザ光の照射時における、チャンバ12内のオゾン濃度は、上記のように100%に限らないが、濃度が高いほど、大きな効果が得られる。

【0071】(実施の形態3) 本発明の実施の形態3に係るTFTの製造方法について説明する。

【0072】(1) 前記実施の形態2の(1)、(2)と同様に、プラズマCVD法によって、ガラス基板31上に非晶質シリコン膜32成膜し、脱水素処理を行う。

【0073】(2) 前記実施の形態1と同様に、非晶質シリコン膜32にレーザ光を照射して、レーザアニールを行う。ただし、実施の形態1とは異なり、図7に示すように、チャンバ12に酸素ポンベから酸素を導入するとともに、水蒸気発生装置16によって水蒸気を供給し、チャンバ12内を飽和蒸気圧に保った状態でレーザ光の照射を行う。

【0074】このレーザ光の照射によって、実施の形態1と同様に、非晶質シリコン膜32が結晶化して多結晶シリコン膜33に変化する。また、このレーザ光の照射を上記のように水蒸気を含む雰囲気中で行うことにより、水蒸気中の酸素が多結晶シリコン膜33の表面付近に効率的に導入され、酸化シリコン膜(SiO_x)₆が形成される。

【0075】(3) 以下、実施の形態1の(3)～(8)と同様に、酸化シリコン膜の追加成膜等を行い、TFTを形成する。

【0076】このようにして形成されたTFT、および真空中または窒素雰囲気下でp-Siを形成した従来のTFTについてのゲート電圧(V_g)～ドレイン電流(I_D)特性を図8に示す。

【0077】同図に示すように、しきい値電圧(ドレイン電流が10⁻⁷(A)となるときのゲート電圧)は、-5.0Vから-2.0Vに減少するとともに、ゲート電圧の増加に応じたドレイン電流の立ち上がりは急になり、サブスレッショルド特性が改善された。

【0078】また、電界効果移動度、および多結晶シリコン膜33の欠陥密度を確認したところ、電界効果移動度は、50cm²/V・Sから310cm²/V・Sに増大し、多結晶シリコン膜33の界面、および内部の合計の欠陥密度は、1.3・10¹¹cm⁻²eV⁻¹から8.7・10¹¹cm⁻²eV⁻¹に減少していた。

【0079】なお、レーザ光の照射時における、チャンバ12内の水蒸気は、上記のように飽和蒸気圧の状態に限らないが、湿度が高いほど、大きな効果が得られる。

【0080】また、完全に蒸気となっている状態に限らず、水滴が分散した状態や、非晶質シリコン膜32の表面に水滴または水の膜が付着した状態でも、同様の効果が得られる。

【0081】さらに、水蒸気とともにチャンバ12内に導入される気体は、酸素に限らず、オゾンや窒素等の不活性ガス、また、酸素と窒素との混合気(大気)などでもよい。

【0082】(実施の形態4) 本発明の実施の形態4に

係るTFTの製造方法について説明する。

【0083】(1) 前記実施の形態2の(1)、(2)と同様に、プラズマCVD法によって、ガラス基板31上に非晶質シリコン膜32成膜し、脱水素処理を行う。

【0084】(2) 前記実施の形態3と同様に、図7に示すように、非晶質シリコン膜32にレーザ光を照射して、レーザアニールを行う。ただし、実施の形態3とは異なり、酸素および水蒸気が導入されたチャンバ12内の圧力を10気圧に保った状態でレーザ光の照射を行う。

【0085】このレーザ光の照射によって、実施の形態3と同様に、非晶質シリコン膜32が結晶化して多結晶シリコン膜33に変化する。また、このレーザ光の照射を上記のように水蒸気を含む加圧された雰囲気中で行うことにより、水蒸気中の酸素が多結晶シリコン膜33の表面付近に効率的に導入され、酸化シリコン膜(SiO_x)₆が形成される。

【0086】(3) 以下、実施の形態1の(3)～(8)と同様に、酸化シリコン膜の追加成膜等を行い、TFTを形成する。

【0087】このようにして形成されたTFT、および真空中または窒素雰囲気下でp-Siを形成した従来のTFTについてのゲート電圧(V_g)～ドレイン電流(I_D)特性を図9に示す。

【0088】同図に示すように、しきい値電圧(ドレイン電流が10⁻⁷(A)となるときのゲート電圧)は、-5.0Vから-1.2Vに減少するとともに、ゲート電圧の増加に応じたドレイン電流の立ち上がりは急になり、サブスレッショルド特性が改善された。

【0089】また、電界効果移動度、および多結晶シリコン膜33の欠陥密度を確認したところ、電界効果移動度は、50cm²/V・Sから50cm²/V・Sに増大し、多結晶シリコン膜33の界面、および内部の合計の欠陥密度は、1.3・10¹¹cm⁻²eV⁻¹から4.4・10¹¹cm⁻²eV⁻¹に減少していた。

【0090】なお、レーザ光の照射時における、チャンバ12内の圧力は、上記のように10気圧に限らないが、圧力が高いほど、大きな効果が得られる。

【0091】また、完全に蒸気となっている状態に限らず、水滴が分散した状態や、非晶質シリコン膜32の表面に水滴または水の膜が付着した状態でも、同様の効果が得られる。

【0092】さらに、水蒸気とともにチャンバ12内に導入される気体は、酸素に限らず、オゾンや窒素等の不活性ガス、また、酸素と窒素との混合気(大気)などでもよい。

【0093】またさらに、水蒸気を導入することなく、1気圧よりも高い圧力に加圧した酸素、またはオゾンを供給するようにしてもよい。

【0094】(実施の形態う)本発明の実施の形態うに係るTFTの製造方法について説明する。

【0095】(1) 前記実施の形態2の(1)、(2)と同様に、プラズマCVD法によって、ガラス基板31上に非晶質シリコン膜32成膜し、脱水素処理を行う。

【0096】(2) 前記実施の形態2と同様に、非晶質シリコン膜32にレーザ光を照射して、レーザアニールを行う。ただし、実施の形態2とは異なり、図10に示すように、あらかじめ、非晶質シリコン膜32の表面に厚さが10mmの氷20を形成した状態でレーザ光の照射を行う。なお、チャンバ12には、実施の形態うと同様に、チャンバ内の圧力が高くなりすぎると防ぐために、リリーフ圧を10気圧にセットした図示しないバルブが設けられている。

【0097】このレーザ光の照射によって、実施の形態2と同様に、非晶質シリコン膜32が結晶化して多結晶シリコン膜33に変化する。また、上記のようにガラス基板31を水19に浸した状態でレーザ光の照射を行うことにより、非晶質シリコン膜32の表面付近の水19が蒸発して、瞬間に高圧の水蒸気となり、その水蒸気中の酸素が多結晶シリコン膜33の表面付近に効率的に導入され、酸化シリコン膜(SiO₂)6が形成される。

【0098】(3) 以下、実施の形態1の(3)～(8)と同様に、酸化シリコン膜の追加成膜等を行い、TFTを形成する。

【0099】このようにして形成されたTFT、および真空中または窒素雰囲気下でp-Siを形成した従来のTFTについてのゲート電圧(V_g)ードレイン電流(I_d)特性を図11に示す。

【0100】同図に示すように、しきい値電圧(ドレイン電流が10⁻⁷(A)となるときのゲート電圧)は、-5.0Vから-1.7Vに減少するとともに、ゲート電圧の増加に応じたドレイン電流の立ち上がりは急になり、サブスレッショルド特性が改善された。

【0101】また、電界効果移動度、および多結晶シリコン膜33の欠陥密度を確認したところ、電界効果移動度は、50cm²/V·Sから600cm²/V·Sに増大し、多結晶シリコン膜33の界面、および内部の合計の欠陥密度は、1.3・10¹¹cm⁻²eV⁻¹から3.6・10¹¹cm⁻²eV⁻¹に減少していた。

【0102】(実施の形態6)本発明の実施の形態6に係るTFTの製造方法について説明する。

【0103】(1) 前記実施の形態2の(1)、(2)と同様に、プラズマCVD法によって、ガラス基板31上に非晶質シリコン膜32成膜し、脱水素処理を行う。

【0104】(2) 前記実施の形態2と同様に、非晶

質シリコン膜32にレーザ光を照射して、レーザアニールを行う。ただし、実施の形態2とは異なり、図12に示すように、あらかじめ、非晶質シリコン膜32の表面に厚さが10mmの氷20を形成した状態でレーザ光の照射を行う。なお、チャンバ12には、実施の形態うと同様に、チャンバ内の圧力が高くなりすぎると防ぐために、リリーフ圧を10気圧にセットした図示しないバルブが設けられている。

【0105】このレーザ光の照射によって、実施の形態2と同様に、非晶質シリコン膜32が結晶化して多結晶シリコン膜33に変化する。また、上記のように非晶質シリコン膜32の表面に氷20が形成された状態でレーザ光の照射を行うことにより、非晶質シリコン膜32の表面付近の氷20が蒸発して、瞬間に高圧の水蒸気となり、その水蒸気中の酸素が多結晶シリコン膜33の表面付近に効率的に導入され、酸化シリコン膜(SiO₂)6が形成される。

【0106】(3) 以下、実施の形態1の(3)～(8)と同様に、酸化シリコン膜の追加成膜等を行い、TFTを形成する。

【0107】このようにして形成されたTFT、および真空中または窒素雰囲気下でp-Siを形成した従来のTFTについてのゲート電圧(V_g)ードレイン電流(I_d)特性を図13に示す。

【0108】同図に示すように、しきい値電圧(ドレイン電流が10⁻⁷(A)となるときのゲート電圧)は、-5.0Vから-1.0Vに減少するとともに、ゲート電圧の増加に応じたドレイン電流の立ち上がりは急になり、サブスレッショルド特性が改善された。

【0109】また、電界効果移動度、および多結晶シリコン膜33の欠陥密度を確認したところ、電界効果移動度は、50cm²/V·Sから600cm²/V·Sに増大し、多結晶シリコン膜33の界面、および内部の合計の欠陥密度は、1.3・10¹¹cm⁻²eV⁻¹から3.6・10¹¹cm⁻²eV⁻¹に減少していた。

【0110】なお、前記実施の形態1～6において、各TFTの電界効果移動度の値、90cm²/V·Sから600cm²/V·Sは、比較例の電界効果移動度の値50cm²/V·Sに対するものである。したがって、従来の製造方法により得られたTFTの電界効果移動度が、例えば600cm²/V·Sで得られるような条件の下に本発明を適用した場合には、さらにそれ以上の値が得られる。

【0111】(実施の形態7)本発明の実施の形態7に係る液晶表示装置の製造方法について説明する。

【0112】この製造方法により製造される液晶表示装置は、図14および図15に示すように、光透過性基板であるガラス基板31と、対向電極52が形成されたガラス基板51との間に液晶層53が設けられるとともに、上記ガラス基板31・51の両側に偏光板41・42

うが設けられて構成されている。

【0113】上記ガラス基板31における画像表示領域う6には、それぞれ互いに平行な走査信号線61…、およびこれらの走査信号線61…にそれぞれ垂直な画像信号線62…が設けられている。また、各走査信号線61と画像信号線62との各交差位置に対応して、画素電極63…、および画素スイッチングTFT64…が設けられている。上記画素スイッチングTFT64のゲート電極、ソース電極、およびドレイン電極には、それぞれ、走査信号線61、画像信号線62、または画素電極63が接続されている。さらに、ガラス基板31における画像表示領域う6の周辺部には、駆動回路用TFT65…などによって構成されたシフトレジスタ等を有するゲート駆動回路66、およびソース駆動回路67が設けられている。

【0114】ここで、上記駆動回路用TFT65…は、前記実施の形態1ないし実施の形態6の製造方法によって形成されている。また、走査信号線61および画像信号線62は、駆動回路用TFT65のドレイン電極等とともに一体的に形成されることにより、それぞれ、ゲート駆動回路66、またはソース駆動回路67に接続されている。

【0115】すなわち、駆動回路用TFT65は、前述のように酸素の雰囲気中などでp-Siを形成することにより電界効果移動度が高いものに形成されるので、高速なスイッチング動作等を必要とするゲート駆動回路66およびソース駆動回路67に適用することができる。また、ガラス基板31上に形成された駆動回路用TFT65によってゲート駆動回路66およびソース駆動回路67を構成するとともに、そのドレイン電極等とともに走査信号線61および画像信号線62を一体的に形成することにより、ICチップの実装工程や配線の接続工程などを必要とせず、製造工程を簡略化することができる。それゆえ、例えば大面積透過形液晶表示装置などを容易に製造することが可能となる。

【0116】なお、画素スイッチングTFT64は、駆動回路用TFT65と同様にp-Siによって形成してもよいが、駆動回路用TFT65ほど高速なスイッチング動作を必要としないので、従来の液晶表示装置と同様にa-Siによって形成してもよい。

【0117】また、画素スイッチングTFT64と駆動回路用TFT65とを所定のパターンのマスクを用いて同一の工程で形成する場合には、製造工程の削減を図ることができるが、それぞれ別の工程で形成する場合でも、上記ICチップの実装工程や配線の接続工程などを必要しないことにより製造工程を簡略化できる効果は得られる。

【0118】なお、本実施の形態7においては、TFTを液晶表示装置に適用した例を示したが、これに限らず、例えば高密度スタティックRAM等のメモリや、イ

メージセンサなどに適用することもできる。

【0119】

【発明の効果】本発明は、以上のように説明した形態で実施され、以下に述べるような効果を奏する。

【0120】すなわち、酸素を含む雰囲気下等で非晶質半導体膜にエネルギーを照射して多結晶半導体膜を形成することにより、非晶質半導体膜が結晶化すると同時に半導体酸化膜が形成され、界面欠陥の少ない良好な結晶性の多結晶半導体膜が得られるので、電界効果移動度が大きく、高速なスイッチング動作等が可能な半導体素子を形成することができるとともに、良好な膜質の半導体酸化膜が形成されるため、しきい値電圧特性やサブレッショルド特性などのTFT特性が良好な半導体素子が得られるという効果を奏する。

【0121】また、上記のようにして基板上に半導体素子を形成し、配線パターンを形成することにより上記半導体素子を結線して駆動回路を形成するとともに、この駆動回路に接続される上記走査信号線、および画像信号線を形成することによって、走査信号線等の形成と同時に、駆動回路の形成および配線を行うことができ、ICチップの実装工程や配線の接続工程などを必要しないので、製造工程を簡略化して製造コストを低減するとともに、表示画面の大型化や高精細度化も容易に図ることができるという効果を奏する。

【図面の簡単な説明】

【図1】実施の形態1ないし実施の形態6により製造されるTFTの構造を示す断面図である。

【図2】同、ガラス基板上に成膜された非晶質シリコン膜の例を示す斜視図である。

【図3】実施の形態1のTFTの製造方法を示す説明図である。

【図4】同、TFTのゲート電圧とドレイン電流との関係を示す特性図である。

【図5】実施の形態2のTFTの製造方法を示す説明図である。

【図6】同、TFTのゲート電圧とドレイン電流との関係を示す特性図である。

【図7】実施の形態3および実施の形態4のTFTの製造方法を示す説明図である。

【図8】実施の形態3のTFTのゲート電圧とドレイン電流との関係を示す特性図である。

【図9】実施の形態4のTFTのゲート電圧とドレイン電流との関係を示す特性図である。

【図10】実施の形態5のTFTの製造方法を示す説明図である。

【図11】同、TFTのゲート電圧とドレイン電流との関係を示す特性図である。

【図12】実施の形態6のTFTの製造方法を示す説明図である。

【図13】同、TFTのゲート電圧とドレイン電流との

関係を示す特性図である。

【図1-4】実施の形態7により製造される液晶表示装置の構成を示す斜視図である。

【図1-5】同、液晶表示装置の詳細な構成を示す斜視図である。

【符号の説明】

3	エキシマレーザ
5	酸素ポンベ
12	チャンバ
16	水蒸気発生装置
17	オゾンポンベ
19	水
20	氷
31	ガラス基板
32	非晶質シリコン膜

33 多結晶シリコン膜

33a チャネル領域

33b ソース領域

33c ドレイン領域

34 酸化シリコン膜

51 ガラス基板

61 走査信号線

62 画像信号線

63 画素電極

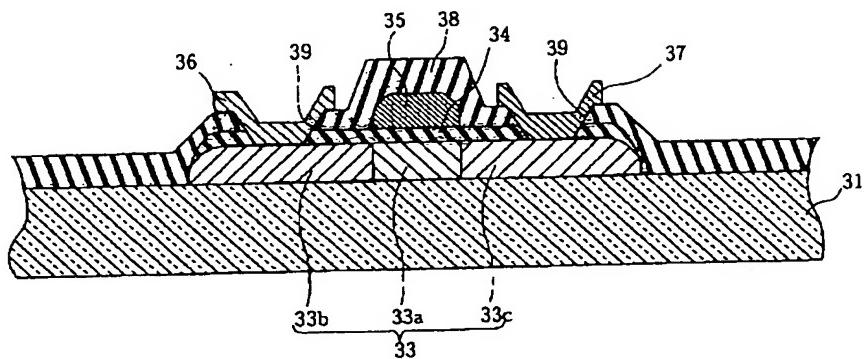
64 画素スイッチングTFT

65 駆動回路用TFT

66 ゲート駆動回路

67 ソース駆動回路

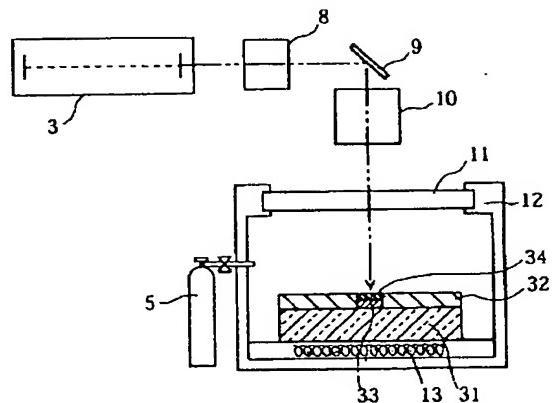
【図1】



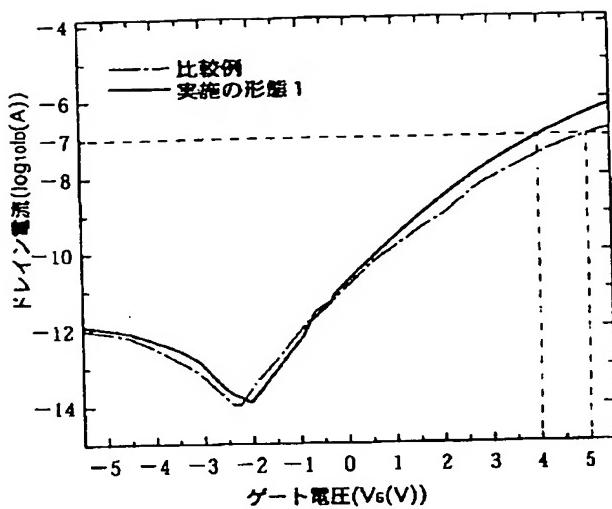
【図2】



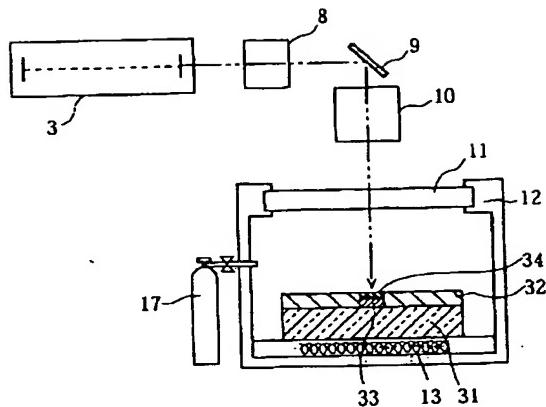
【図3】



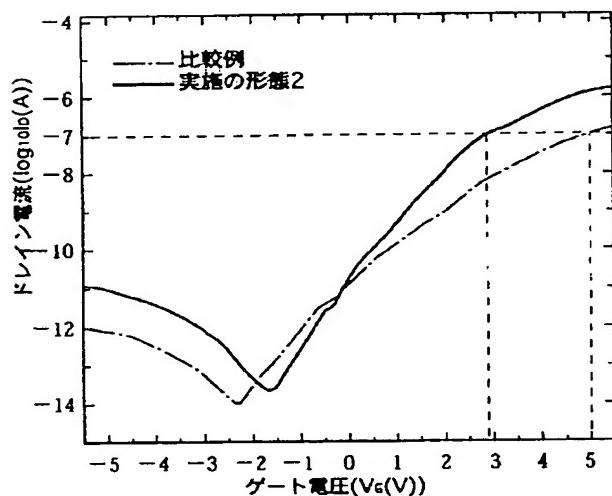
【図4】



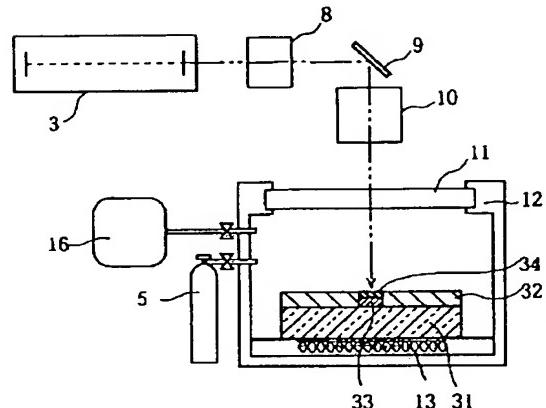
【図5】



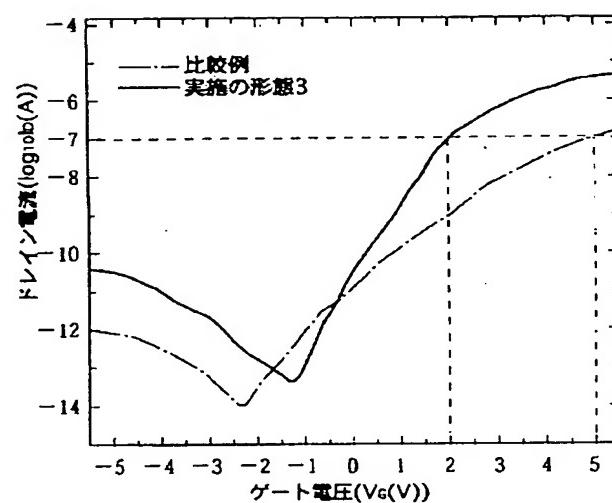
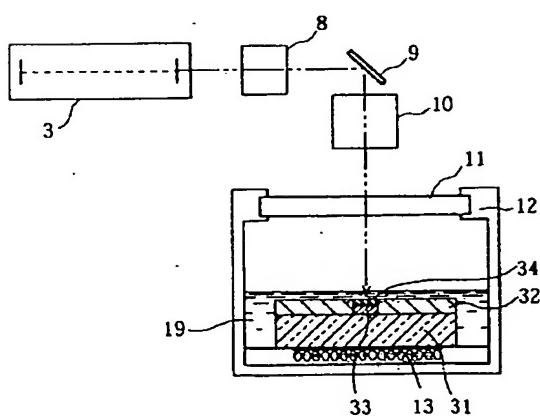
【図6】



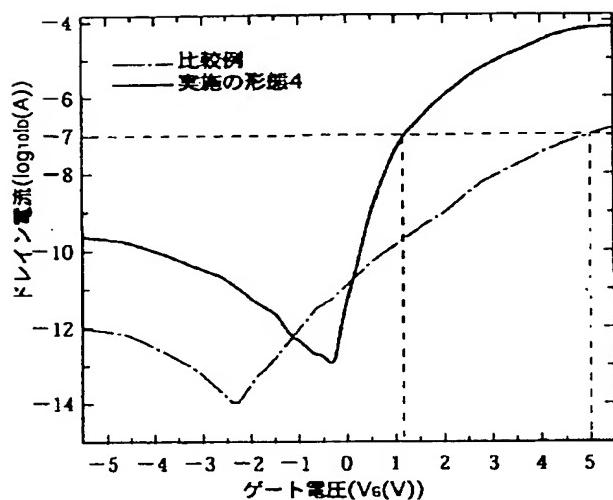
【図7】



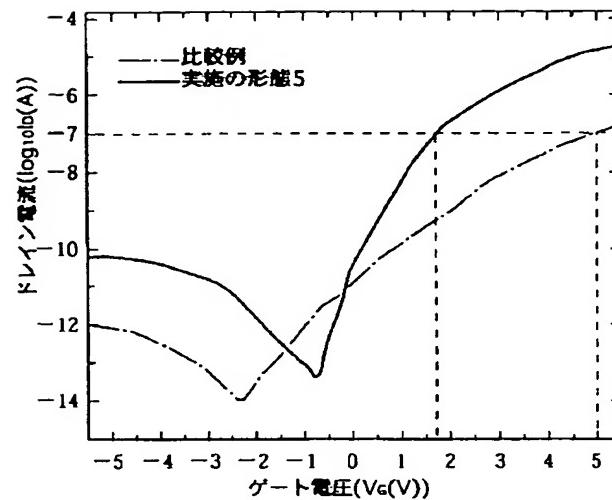
【図10】



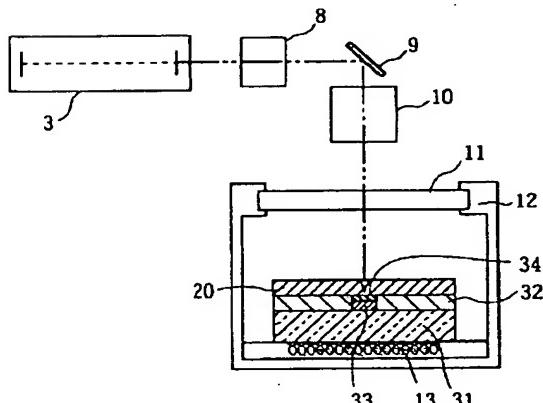
【図9】



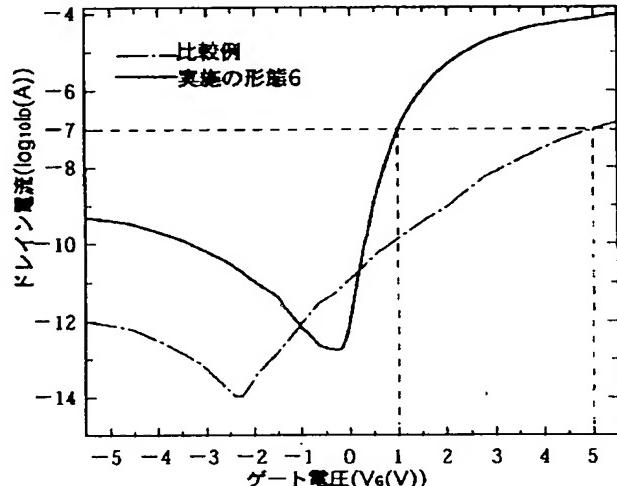
【図11】



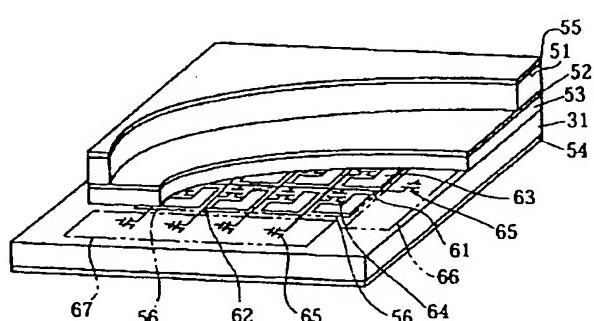
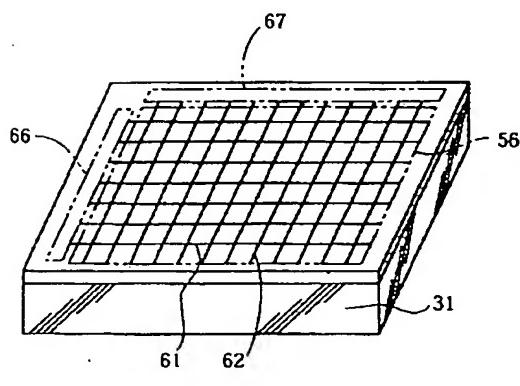
【図12】



【図14】



【図15】



フロントページの続き

(72)発明者 筒 博司
大阪府門真市大字門真1006番地 松下電器
産業株式会社内